

Docket No.: 67162-027

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Yasuhiro KASHIWAZAKI	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: October 31, 2001	:	Examiner:
For: SEMICONDUCTOR MEMORY DEVICE CAPABLE OF EXECUTING REFRESH OPERATION ACCORDING TO REFRESH SPACE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

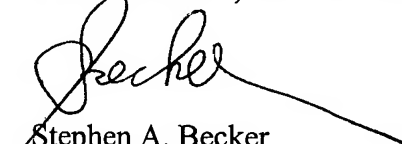
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-047167, filed February 25, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prg
Facsimile: (202) 756-8087
Date: October 31, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67162-027
Kashiwazaki
etal.
October 31, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 2月25日

出 願 番 号
Application Number:

特願2003-047167

[ST.10/C]:

[JP2003-047167]

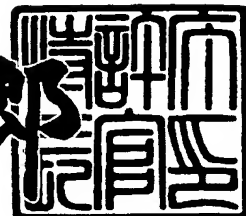
出 願 人
Applicant(s):

三菱電機株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019433

【書類名】 特許願

【整理番号】 541978JP01

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/403
G11C 11/406

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 柏崎 泰宏

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 リフレッシュが必要なメモリであって、メモリ空間が所定数に分割されたメモリと、

前記各メモリ空間についてリフレッシュの要否を示す情報を格納するレジスタと、

前記レジスタを参照し、リフレッシュが不要なメモリ空間のアドレスを除いてアドレスをカウントアップすることにより、リフレッシュするメモリ空間のアドレスを発生させるアドレスカウンタと、

前記レジスタを参照し、リフレッシュが必要なメモリ空間の数に応じて周期が可変となるリフレッシュ周期を発生させる周期発生回路とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記内部レジスタを外部からリセット可能にしたことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記周期発生回路は、同一空間をリフレッシュする周期がリフレッシュが必要な空間の数に関わらず一定となるようにリフレッシュ周期を変化させることを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、セルフリフレッシュ動作を実施する半導体記憶装置に関する。

【0002】

【従来の技術】

近年、半導体記憶装置（DRAM）が携帯情報端末に用いられるようになってきた。携帯情報端末においては、バッテリーから電源電圧を供給するので、連続して長時間の使用を可能とするため、少しでも消費電力を低減することが求められる。

【 0 0 0 3 】

従来の D R A M では、セルフリフレッシュモードに入ると、情報が書き込まれていないメモリセルも含めて強制的に全てのロウアドレスのリフレッシュ動作が実行されるため、不要なセルフリフレッシュ電流 (Icc6) が流れてしまう。

【 0 0 0 4 】

そのような問題に対して、最近、市場に出回り始めた低消費電力 D R A M においては、モードレジスタの設定によりセルフリフレッシュ動作を実行するメモリ空間を指定して部分的なセルフリフレッシュ動作を実行することで、この不要なセルフリフレッシュ電流 (Icc6) を低減している。

【 0 0 0 5 】

また、リフレッシュが必要な空間のスタートアドレスとエンドアドレスを内部レジスタに保持し、そのアドレスのみにリフレッシュ動作を実施し、さらにリフレッシュが必要な空間の大きさに応じて周期を可変とすることでリフレッシュ電流 (Icc6) を低減するものもある (例えば特許文献 1 参照)。また、半導体記憶装置のリフレッシュ動作の制御に関するものとして特許文献 2、3 に開示のものがある。

【 0 0 0 6 】

【特許文献 1】

特開 2 0 0 1 - 3 3 8 4 8 9 号公報

【特許文献 2】

特開昭 6 0 - 1 7 5 2 9 4 号公報

【特許文献 3】

特開平 3 - 6 6 0 9 2 号公報

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、低消費電力 D R A M において、部分的なセルフリフレッシュ動作を実行するためには、外部からモードレジスタの設定を行なう必要があり、処理が煩雑となる。

【 0 0 0 8 】

また、特許文献1では、リフレッシュ不要な空間に関してスタートアドレスとエンドアドレスの情報しか内部レジスタに格納しないため、例えば、リフレッシュ不要な空間のアドレスが不連続な場合には電流低減効果が小さいという問題がある。

【0009】

本発明は上記課題を解決すべくなされたものであり、その目的とするところは、外部からモードレジスタ等で設定をする必要はなく、自動的に部分的なセルフリフレッシュ動作を実行することによりセルフリフレッシュ電流を低減した半導体記憶装置を提供することにある。

【0010】

【課題を解決するための手段】

本発明に係る半導体記憶装置は、リフレッシュが必要なメモリであってメモリ空間が所定数に分割されたメモリと、各メモリ空間に対するリフレッシュの要否を示す情報を格納するレジスタと、レジスタを参照し、リフレッシュが不要なメモリ空間のアドレスを除いてアドレスをカウントアップすることにより、リフレッシュするメモリ空間のアドレスを発生させるアドレスカウンタと、レジスタを参照し、リフレッシュが必要なメモリ空間の数に応じて周期が可変となるリフレッシュ周期を発生させる周期発生回路とを備えた。

【0011】

【発明の実施の形態】

以下添付の図面を参照して、本発明に係る半導体記憶装置の実施の形態を詳細に説明する。

【0012】

実施の形態1.

図1に本発明に係る半導体記憶装置の構成を示す。半導体記憶装置は、コマンド・アドレス検出部11と、リフレッシュ要否判定部13と、内部レジスタ15と、セルフリフレッシュ用ロウアドレスカウンタ17と、セルフリフレッシュ周期発生回路19と、セルフリフレッシュイネーブル信号発生回路21と、メモリ23とを備える。

【0013】

本実施形態では、メモリ23のメモリ空間はバンクアドレスBA[1]、BA[0]により区別されるバンクA～Dで構成される空間101～104に分割されている。ここでは、バンクAはBA[1]=0、BA[0]=0の空間であり、バンクBはBA[1]=0、BA[0]=1の空間であり、バンクCはBA[1]=1、BA[0]=0の空間であり、バンクDはBA[1]=1、BA[0]=1の空間である。バンクA～Dは共通のロウアドレスRA[0]～RA[N]を有する。さらに、メモリ空間101～104のそれぞれは、4つのバンクを縮退した4つの空間1～4に分割されている。ここで、空間nは、空間nA、空間nB、空間nC及び空間nD (n=1, 2, 3, 4) を総称したものである。

【0014】

空間1～4のそれぞれはロウアドレスの上位2ビットにより区別される。すなわち、ロウアドレス(RA)をNビットとしたとき、各空間1～4はロウアドレスの上位2ビットRA[N]、RA[N-1]により特定される。ここでは、空間1は、RA[N]=0、RA[N-1]=0となる空間である。空間2はRA[N]=0、RA[N-1]=1の空間であり、空間3はRA[N]=1、RA[N-1]=0の空間であり、空間4はRA[N]=1、RA[N-1]=1の空間である。空間内ではロウアドレスのうちの上位3ビット以下のアドレスによりワード線が特定される。

【0015】

各バンクA～D間において、同じロウアドレスの空間は同時にリフレッシュされる。一つのロウアドレス(RA[0]～RA[N])が決定されると、全てのバンクA～Dにおいて、そのロウアドレス(RA[0]～RA[N])のワード線に接続する全てのメモリセルが同時にリフレッシュされる。従って、バンクAの空間1A内の、あるロウアドレスのワード線に接続する全てのメモリセルがリフレッシュされる際には、バンクBの空間1B、バンクCの空間1C及びバンクDの空間1D内の、前記あるロウアドレスに等しいロウアドレスのワード線に接続する全てのメモリセルが同時にリフレッシュされる。

【0016】

半導体記憶装置は、そのコマンド端子又はアドレス端子を介して外部から信号を入力する。コマンド・アドレス検出部 1 1 はその信号をデコードし、デコードの結果として得られたコマンドに従い半導体記憶装置内部の動作を制御する。半導体記憶装置が受信するコマンドとしては、セルフリフレッシュ開始、リード、ライト等のコマンドがある。なお、図 1 にはセルフリフレッシュ動作に関係した回路のみを示している。

【 0 0 1 7 】

内部レジスタ 1 1 は空間 1 ～ 4 毎に各空間がセルフリフレッシュが必要か否かを示す情報を格納する。内部レジスタ 1 1 は半導体記憶装置のパワーオン時にリセットされる。内部レジスタ 1 1 は空間 1 ～ 4 毎に対応するレジスタを有しており、リフレッシュを要する空間に対して「H (H i g h) 」の値を格納する。

【 0 0 1 8 】

セルフリフレッシュ周期発生回路 1 9 はセルフリフレッシュの実行タイミングであるセルフリフレッシュ周期を示すタイミングパルスを発生させる。セルフリフレッシュ用ロウアドレスカウンタ 1 7 は、セルフリフレッシュ周期発生回路 1 9 からのタイミングパルスを受け、そのタイミングでセルフリフレッシュする領域を指定するロウアドレスを発生させる。

【 0 0 1 9 】

セルフリフレッシュイネーブル信号発生回路 2 1 は、セルフリフレッシュ周期発生回路 1 9 によるタイミングパルスを受け、所定の遅延時間経過後にリフレッシュイネーブルのパルス信号を発生する。メモリ 2 3 はリフレッシュイネーブルのパルス信号を受けると、セルフリフレッシュ用ロウアドレスカウンタ 1 7 により生成されたアドレスのワード線に対してリフレッシュ動作を行なう。セルフリフレッシュイネーブル信号発生回路 2 1 における所定の遅延時間は、メモリ 2 3 が新たなロウアドレスの発生前にセルフリフレッシュされることのないよう、少なくとも、セルフリフレッシュ用ロウアドレスカウンタ 1 7 がタイミングパルスを受けてからアドレスのカウントアップを確実に終了するまでに必要な時間に設定される。

【 0 0 2 0 】

以下、半導体記憶装置におけるリフレッシュ要否判定部13、セルフリフレッシュ周期発生回路19及びセルフリフレッシュ用ロウアドレスカウンタ17の動作について詳細に説明する。

【0021】

リフレッシュ要否判定部13は、内部レジスタ15をパワーオン時にリセット後、アドレス・コマンド検出部11でデコードしたコマンドから、該当する各空間にアクセスがあったか否かを判断することで、各空間に対するセルフリフレッシュの要否を判定する。すなわち、リフレッシュ要否判定部13は、パワーオン時のリセット後にその空間に未だアクセスがなければ、その空間に対してリフレッシュを実行する必要はなく、一方、その空間にアクセスがあればリフレッシュを実行する必要があると判定する。例えば、該当する空間にACTコマンドが入力された場合に、または、該当する空間にACTコマンドが入力され、かつWRITEコマンドが入力された場合にアクセスがあったとして、その空間に対するセルフリフレッシュが必要であると判断できる。内部レジスタ15は各空間に対するリフレッシュ要否判定部13の判定結果を保持する。

【0022】

図2は、上位2ビットが「11」のメモリ空間すなわち空間4に関する、リフレッシュ要否判定部13と内部レジスタ15の構成を示した図である。半導体装置のパワーオン時に発生したRESET信号により内部レジスタ15がリセットされ、その出力が「L (Low)」になる。その後、空間4に対してACT信号及びWRITE信号が入力されると、内部レジスタ15がセットされて「H (High)」を出力する。

【0023】

セルフリフレッシュ周期発生回路19はセルフリフレッシュの実行タイミングであるセルフリフレッシュ周期を発生させる。セルフリフレッシュ周期発生回路19は、内部レジスタ15を参照してセルフリフレッシュ周期を決めるタイミングパルスの発生周期を変更する。図3にセルフリフレッシュ周期発生回路19の構成の一例を示す。セルフリフレッシュ周期発生回路19はリフレッシュ空間数判定部31を有する。内部レジスタ15は空間毎にセルフリフレッシュの要否を

示す情報を格納するレジスタ15a～15dを有している。リフレッシュ空間数判定部31は内部レジスタ15内のレジスタ15a～15dを参照し、リフレッシュする必要のある空間の数を決定する。そして、リフレッシュする必要のある空間の数に応じたイネーブル信号をアクティブにする。

【0024】

そのイネーブル信号に応じてインバータ回路33～36が選択される。すなわち、リフレッシュが必要な空間の数が1つであるときは、インバータ回路33、34、35、36が選択される。リフレッシュが必要な空間の数が2つであるときは、インバータ回路33、34、35が選択される。リフレッシュが必要な空間の数が3つであるときは、インバータ回路33、34が選択される。リフレッシュが必要な空間の数が1つであるときは、インバータ回路33のみが選択される。選択されるインバータ回路の数に応じてタイミングパルスの発生周期が異なる。

【0025】

例えば、リフレッシュ必要な空間の数が2であるとき、2空間Enable信号がアクティブにされる。これにより、インバータ回路33、34、25が選択され、2つの空間をリフレッシュする際のリフレッシュ周期でタイミングパルスが出力される。

【0026】

インバータ回路33～36は偶数段のインバータを含んでいる。各インバータ回路の遅延量は、例えば、1つの空間のみをリフレッシュする必要がある場合のタイミングパルス発生周期を12Pとすると、インバータ回路33の遅延量は3Pに、インバータ回路34の遅延量は1Pに、インバータ回路35の遅延量は2Pに、インバータ回路36の遅延量は6Pになるように調整される。これにより、タイミングパルスの発生周期は、2つの空間をリフレッシュする場合は6P、3つの空間の場合は4P、4つ全ての空間の場合は3Pとなる。これにより、リフレッシュする空間の数に関わらず、同一の空間がリフレッシュされる周期は常に一定(12P)となる。

【0027】

図4は、セルフリフレッシュ用ロウアドレスカウンタ17の構成を示した図である。セルフリフレッシュ用ロウアドレスカウンタ17は内部レジスタ15を参照して、リフレッシュの必要のない空間のアドレスを飛ばしてカウントアップを行ない、リフレッシュ用ロウアドレスを生成する。

【0028】

セルフリフレッシュ用ロウアドレスカウンタ17は、リフレッシュの要否を判断する回路ブロック40と、ロウアドレスのカウントアップを行なう回路46～50を含む。

【0029】

回路46～49はそれぞれJKフリップフロップを含み、ロウアドレスの各ビットの値をそれぞれ出力する。回路46～50は全体としてタイミングパルスの入力タイミング毎にロウアドレスをカウントアップする。

【0030】

回路ブロック40は、ロウアドレスの上位2ビット $RA[N]$ 、 $RA[N-1]$ を入力し、その上位2ビットに対応する空間の内部レジスタの値がリフレッシュを必要とすることを示す場合にワンショットパルスを出力する。そのパルスは遅延回路41、43、45を介して後段の回路49、50に伝達される。

【0031】

インバータ回路41はロウアドレス信号の切り替わりのタイミングを調整する。インバータ回路43、45はJKフリップフロップのJ、K入力の入力タイミングと、タイミングパルスのセットアップ・ホールドタイミングをそれぞれ調整する。

【0032】

セルフリフレッシュ周期発生回路19からのタイミングパルスを入力タイミング毎に回路46～50によりロウアドレスRA全体がカウントアップされる。そのとき、内部レジスタ15が参照され、そのロウアドレスの上位2ビットに対応する空間がセルフリフレッシュの必要がないと判定されると、回路ブロック40からワンショットパルスが出力され、それにより上位2ビットのアドレス $RA[N]$ 、 $RA[N-1]$ のみカウントアップされる。このカウントアップにより、セ

セルフリフレッシュの必要のない空間のロウアドレスがスキップされ、ロウアドレスの上位2ビットは次の空間を指定することになる。なお、メモリ空間に対するセルフリフレッシュの要否の判定すなわち回路ブロック40からワンショットパルスの生成は、セルフリフレッシュ周期発生回路19から出力されるタイミングパルスの発生周期よりも短い周期で行なわれる。

【0033】

以上の動作を図5を用いて具体的に説明する。なお、図5はセルフリフレッシュ用ロウアドレスカウンタ17上のノードの波形を示した図である。以下では、ロウアドレス(RA[0:N])が「11...11」から「00...00」へカウントアップする際の動作例を説明する。また、空間1A~1D(上位2ビットRA[N]、RA[N-1]が「00」)に対するリフレッシュ動作が不要であるとする。この場合、空間1用の内部レジスタ15aが「L」を格納している。

【0034】

ノードaにおいてセルフリフレッシュ周期発生回路19からのタイミングパルスが立ち下がると、セルフリフレッシュ用ロウアドレスカウンタ17の出力は、「11...11」(すなわち、RA[0]~RA[N-2]=1、RA[N-1]=1、RA[N]=1)から、「00...00」(すなわち、RA[0]~RA[N-2]=0、RA[N-1]=0、RA[N]=0)にカウントアップされる。このとき、RA[N-1]=0、RA[N]=0であるため、回路ブロック40において、ノードbにワンショットパルスが発生する。空間1用内部レジスタ15aの出力は「L」となるので、ノードbのワンショットパルスが後段のノードc、dに伝達される。

【0035】

ノードbのワンショットパルスはインバータ回路41、43、45により、それぞれ所定時間遅延された後、ノードc、dに伝達する。これにより、ノードe、fには、セルフリフレッシュ周期発生回路19からのタイミングパルスと回路ブロック40で発生させたパルスとのOR演算結果が伝達されるため、回路49、50がトリガされ、上位2ビットRA[N-1]、RA[N]だけがカウントアップされる。図5の例では、RA[N-1]=1、RA[N]=0となり、RA[0]~

RA[N-2]は0のままである。

【0036】

以上のように、セルフリフレッシュ用ロウアドレスカウンタ17は、リフレッシュの要否の情報を格納する内部レジスタ15を参照し、リフレッシュが不要な空間1A~1Dに対するアドレスを生成せず、次の空間2A~2D (RA[N-1]=1、RA[N]=0) に対するアドレスを生成する。

【0037】

仮に、メモリ空間2A~2D (RA[N-1]=1、RA[N]=0) についてもリフレッシュが不要の場合は、同様のシーケンスにより空間2用内部レジスタ15bが参照され、ノードe、fにワンショットタイミングパルスが発生し、RA[N-1]、RA[N]がさらにカウントアップされ、RA[N-1]=0、RA[N]=1となる。

【0038】

以上のように、セルフリフレッシュ用ロウアドレスカウンタ17は、セルフリフレッシュ周期発生回路19から出力されるタイミングパルスの発生周期よりも短い周期で、リフレッシュが不要な空間のアドレスをスキップしてアドレスを生成する。これにより、不要なリフレッシュ動作を排除でき、リフレッシュ電流(I_{cc6})の低減が可能となる。

【0039】

また、セルフリフレッシュ用ロウアドレスカウンタ17は、リフレッシュの要否の情報を格納する内部レジスタ15を参照することで、リフレッシュが不要な空間に対するアドレスを生成しない。それにより、セルフリフレッシュ周期発生回路19はタイミングパルスの発生周期を延ばすことができ、リフレッシュ電流(I_{cc6})の低減が可能となる。

【0040】

また、特許文献1では、リフレッシュ不要な空間に関してスタートアドレスとエンドアドレスの情報しか内部レジスタに格納しないため、例えば、リフレッシュ不要な空間のアドレスが不連続な場合には電流低減効果が小さいという問題があった。これに対し、本発明では、分割したメモリ空間の単位であればアドレス

が不連続であっても、リフレッシュ電流を低減できる。すなわち、ランダムアクセスが実施されている場合のリフレッシュ電流をより低減できるという効果がある。

【 0 0 4 1 】

実施の形態 2.

図 6 に本実施形態の半導体記憶装置の構成を示す。本実施形態の半導体記憶装置の構成、動作は基本的に実施の形態 1 のものと同じであるが、本実施形態の内部レジスタ 1 5 は外部コマンド入力によりリセットできる点が実施の形態 1 のものと異なる。すなわち、実施の形態 1 では、セルフリフレッシュの要否の情報を格納する内部レジスタ 1 5 をパワーオン時にのみリセットするようにしたのに対し、本実施形態では、セルフリフレッシュの要否の情報を格納する内部レジスタ 1 6 を外部コマンド入力により所望のタイミングでリセットできる。

【 0 0 4 2 】

内部レジスタ 1 5 をリセットするコマンド（以下「リセットコマンド」という。）を事前に設定しておく。コマンド・アドレス検出部 1 1 はリセットコマンドを検出した場合に、内部レジスタ 1 6 をリセットするための制御信号を内部レジスタ 1 6 に送信する。内部レジスタ 1 6 はこの制御信号を受けてリセットされる。なお、内部レジスタ 1 6 は全体としてリセットされてもよいし、各空間毎にリセットされてもよい。

【 0 0 4 3 】

標準の DRAM の場合、MRS（モードレジスタセット）シーケンスで内部レジスタをセットするため、MRS シーケンスの空きアドレスを利用すれば、上記のような外部コマンド入力による内部レジスタ 1 6 のリセット機能を容易に実現できる。

【 0 0 4 4 】

実施の形態 1 の場合、各空間に一度でもアクセスがあると、それ以後は、そのデータのリフレッシュ動作が不要となっても、パワーをオフにしない限り内部レジスタがリセットされないため、リフレッシュ動作が不要な空間に対してもリフレッシュが行なわれてしまい、リフレッシュ電流（ I_{cc6} ）の低減効率が低くなる

という問題があった。これに対し、本実施形態では、外部コマンド入力により内部レジスタ16をリセットすることが可能であるので、電源を落とさずに随時内部レジスタ16のリセットが可能となり、リフレッシュ動作が必要な空間に対してのみリフレッシュが行なわれるため、リフレッシュ電流(Icc6)の低減効率を実施の形態1の場合よりもさらに上昇させることができる。

【0045】

【発明の効果】

本発明の半導体記憶装置によれば、セルフリフレッシュ動作が必要なメモリ空間に対してのみセルフリフレッシュ動作を行なうため、セルフリフレッシュ電流(Icc6)の低減が可能となる。

【図面の簡単な説明】

【図1】 本発明に係る半導体記憶装置の構成図（実施の形態1）

【図2】 リフレッシュ要否判定部と内部レジスタの部分的な構成を示した図

【図3】 セルフリフレッシュ周期発生回路の構成図

【図4】 セルフリフレッシュ用ロウアドレスカウンタの構成を示した図

【図5】 セルフリフレッシュ用ロウアドレスカウンタの各ノードの波形を示した図

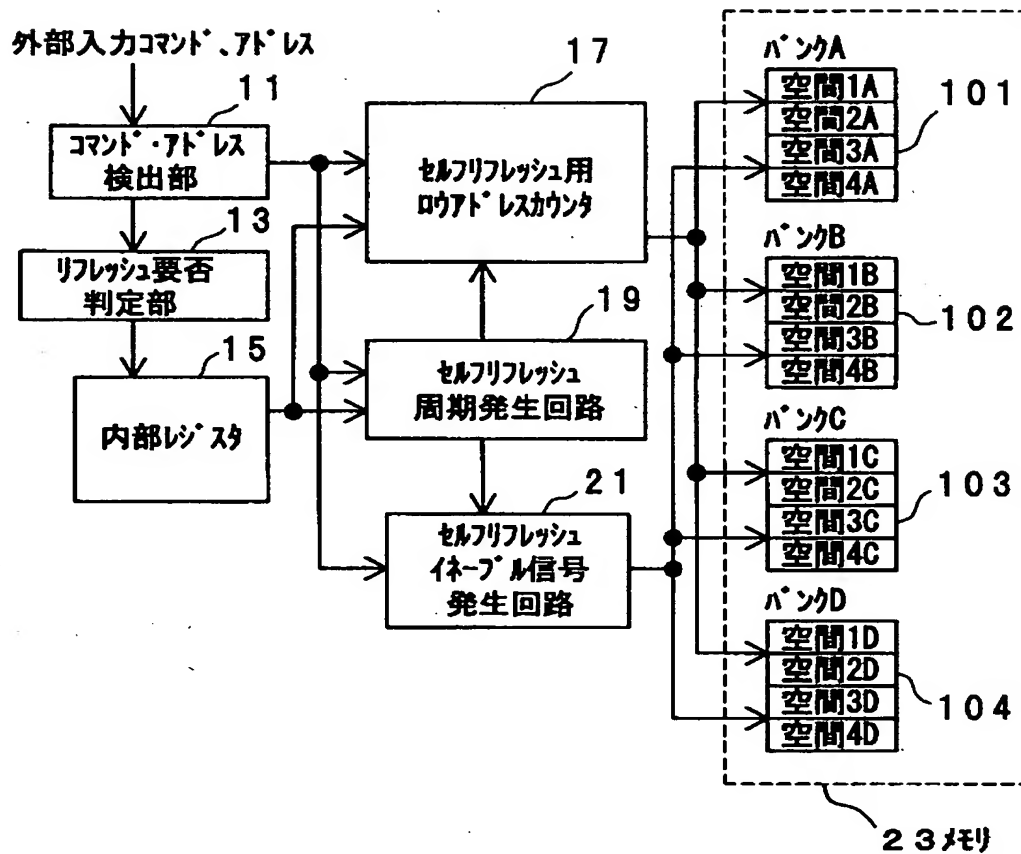
【図6】 本発明に係る半導体記憶装置の別の構成図（実施の形態2）

【符号の説明】

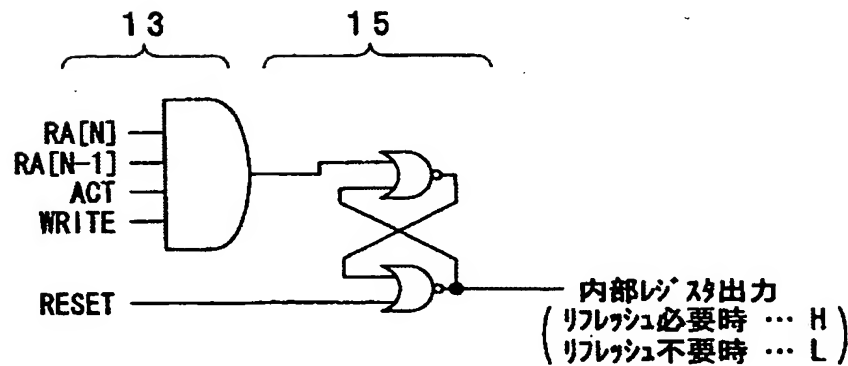
11 コマンド・アドレス検出部、 13 リフレッシュ要否判定部、 15 内部レジスタ、 17 セルフリフレッシュ用ロウアドレスカウンタ、 19 セルフリフレッシュ周期発生回路、 21 セルフリフレッシュイネーブル信号発生回路、 23 メモリ、 101～104 メモリ空間

【書類名】 図面

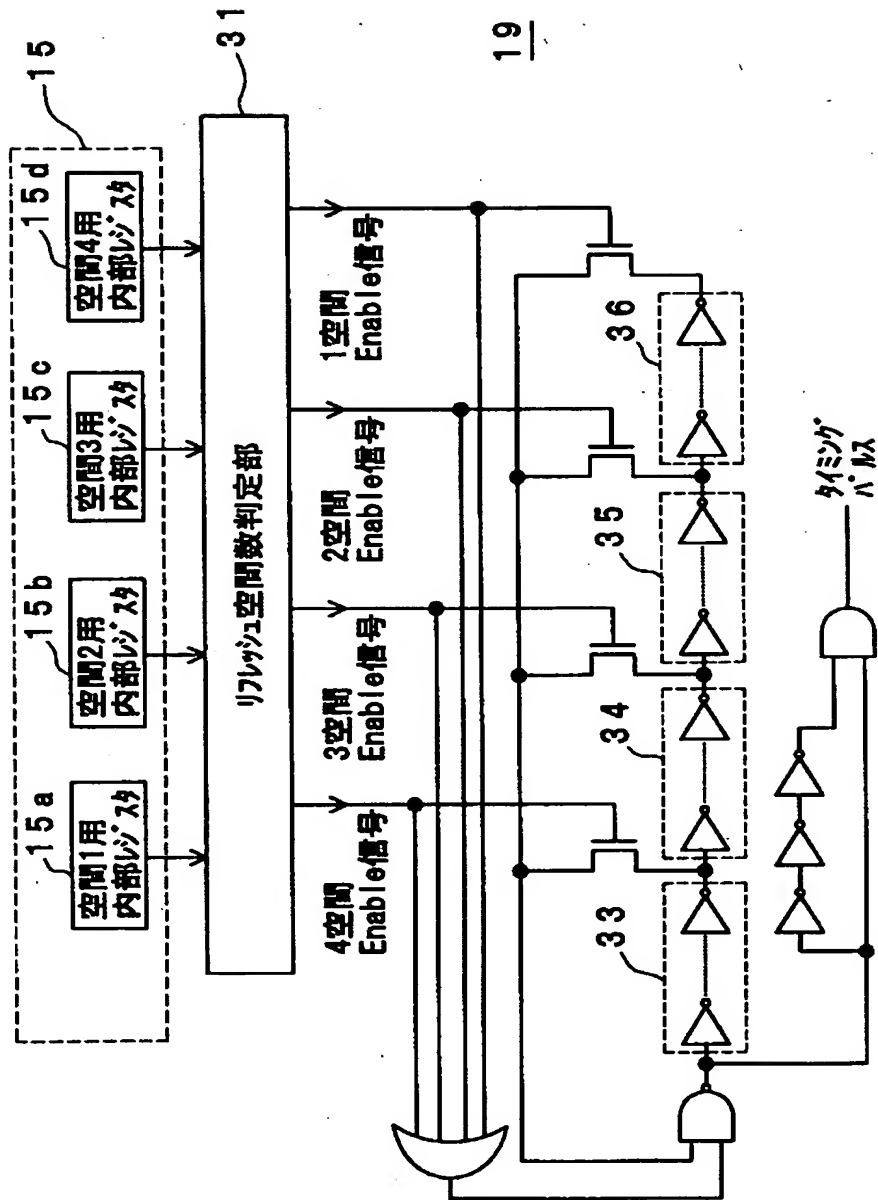
【図 1】



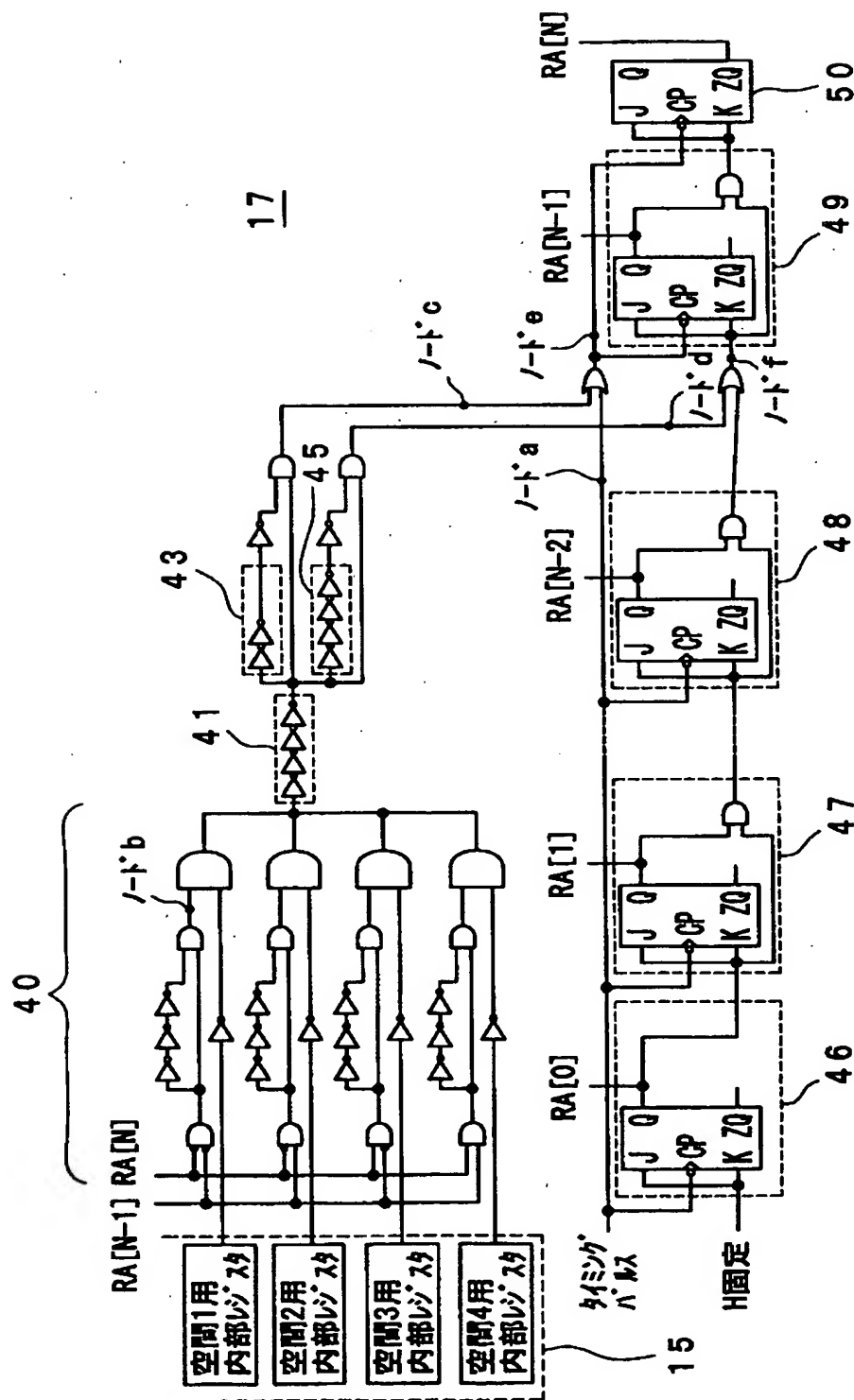
【図 2】



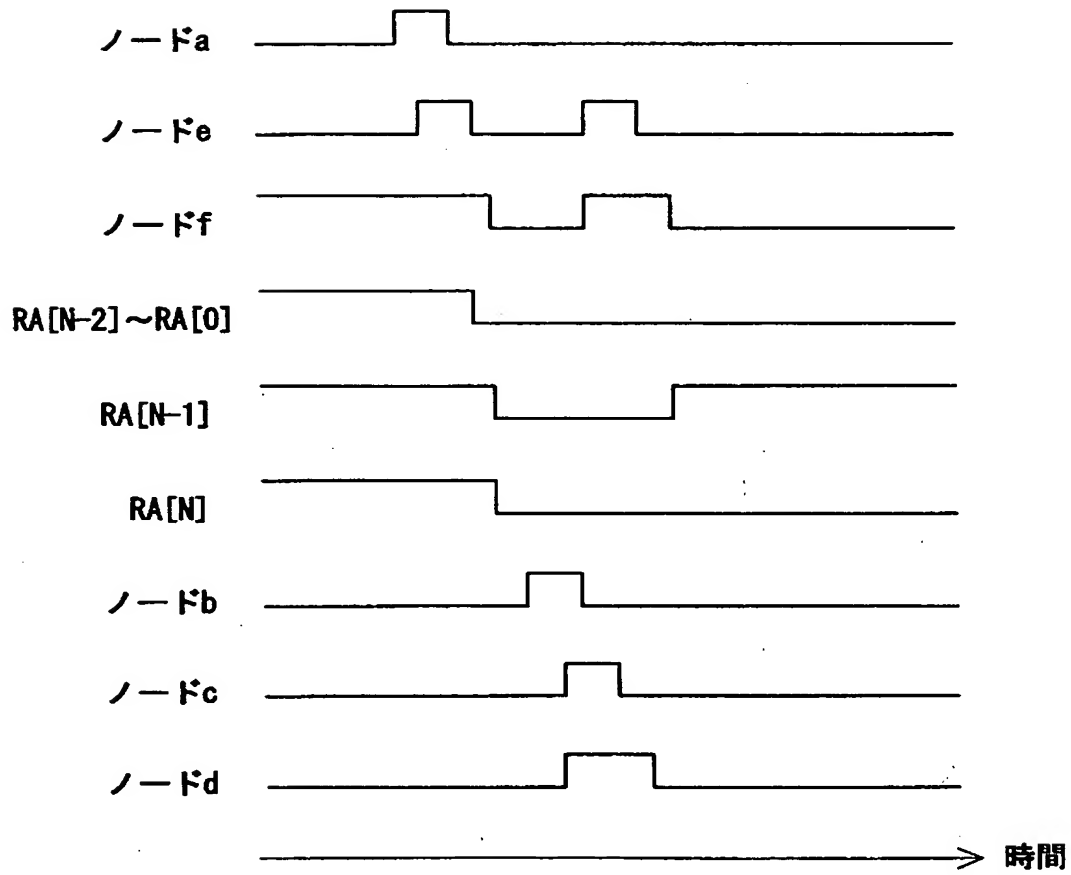
【図3】



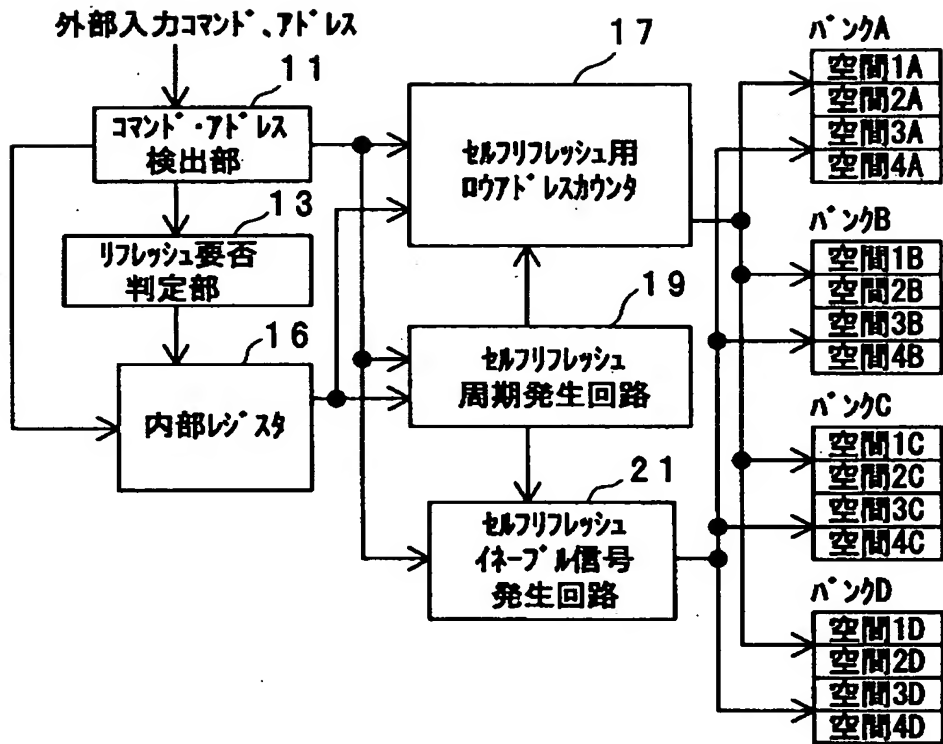
【図 4】



【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】 外部からモードレジスタ等で設定をする必要はなく、自動的に部分的なセルフリフレッシュ動作を実行することによりセルフリフレッシュ電流を低減した半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、メモリ空間 1 ～ 4 が所定数に分割されたメモリ 2 3 と、各メモリ空間についてリフレッシュの要否を示す情報を格納するレジスタ 1 5 と、レジスタ 1 5 を参照し、リフレッシュが不要なメモリ空間のアドレスを除いてアドレスをカウントアップすることによりリフレッシュするメモリ空間のアドレスを発生させるロウアドレスカウンタ 1 7 と、レジスタ 1 5 を参照し、リフレッシュが必要なメモリ空間の数に応じて周期が可変となるリフレッシュ周期を発生させるリフレッシュ周期発生回路 1 9 とを備えた。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社